

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-162281

(43)Date of publication of application : 16.06.2000

(51)Int.Cl.

G01R 31/28
G01R 31/316
H03M 1/76

(21)Application number : 10-337450

(71)Applicant : SHARP CORP

(22)Date of filing : 27.11.1998

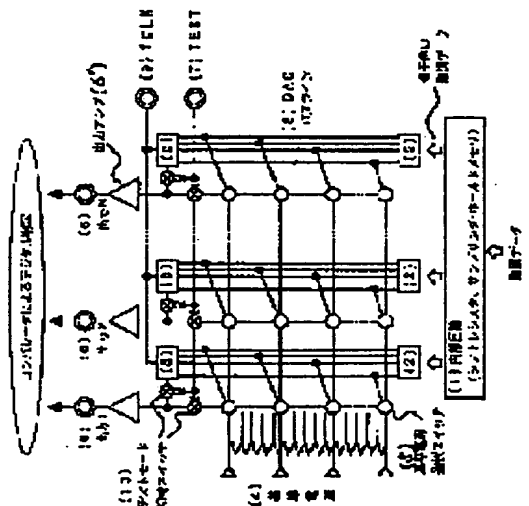
(72)Inventor : SAKAGUCHI HIDEAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten inspection time and to reduce the cost of an inspecting device in a semiconductor integrated circuit device, which incorporates a D/A converter to receive a plurality of bits of an input digital signal as its input and to select and output an analogue voltage of a corresponding level according to the input digital signal, and which is constituted in such a way as to output the output analogue voltage of the D/A converter from its output terminal.

SOLUTION: A semiconductor integrated circuit device is provided with a register circuit (parallel/serial converter) 8 for storing multi-gradation digital data after being decoded, a test clock terminal 9 for inputting a test clock to output contents stored in the register 8 serially from the outside, a test mode change-over switch 10 for outputting the output analogue voltage of a D/A converter and an output digital signal from the register circuit 8 alternatively from an output terminal 6, and a test terminal 7 for inputting a switching control signal of the change-over switch 10 from the outside.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号
特開2000-162281
(P2000-162281A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 1 R 31/28		G 0 1 R 31/28	V 2 G 0 3 2
31/318		H 0 3 M 1/76	5 J 0 2 2
H 0 3 M 1/76		G 0 1 R 31/28	C 9 A 0 0 1

審査請求 未請求 請求項の数2 OL (全4頁)

(21)出願番号 特願平10-337450

(22)出願日 平成10年11月27日(1998.11.27)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 坂口 英明

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100103296

弁理士 小池 隆彌

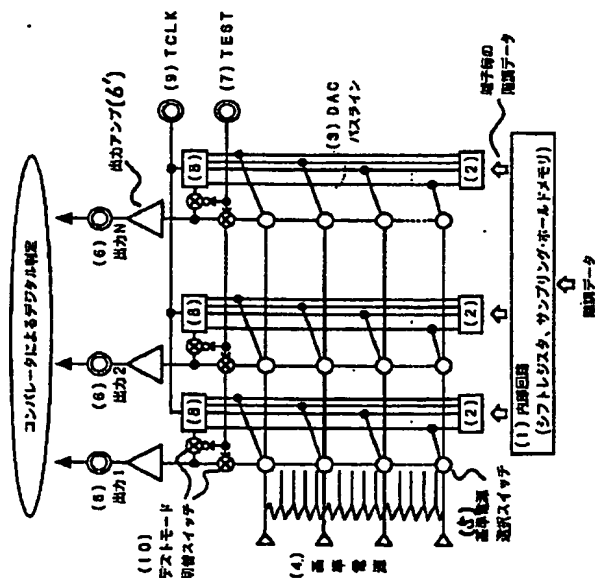
Fターム(参考) 2G032 AA01 AA04 AA09 AD01 AE08
AE14 AG07 AH04 AK11 AK15
5J022 AB01 AB05 AC05 CB02 CE08
CF07 CG01
9A001 BB05 EE05 LL05

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 複数ビットの入力デジタル信号を、その入力として受け、該入力デジタル信号に応じて、対応するレベルを有するアナログ電圧を選択出力するD/A変換器を内蔵し、該D/A変換器の出力アナログ電圧を、その出力端子より出力させる構成とした半導体集積回路装置に於ける、検査時間の短縮化及び検査装置のコストダウン。

【解決手段】 デコード後の多階調デジタルデータを記憶するためのレジスタ回路(パラレル/シリアル変換器)8と、該レジスタ回路8の記憶内容をシリアル出力させるテストクロックを外部より入力するためのテストクロック端子9と、D/A変換器の出力アナログ電圧と、上記レジスタ回路8よりの出力デジタル信号との何れか一方を択一的に出力端子6より出力させるためのテストモード切替スイッチ10と、該切替スイッチ10の切替制御信号を外部より入力させるためのテスト端子7とを設ける。



【特許請求の範囲】

【請求項1】 複数ビットの入力デジタル信号を、その入力として受け、該入力デジタル信号に応じて、対応するレベルを有するアナログ電圧を選択出力するD/A変換器を内蔵し、該D/A変換器の出力アナログ電圧を、その出力端子より出力させる構成とした半導体集積回路装置に於いて、

上記複数ビットの入力デジタル信号をパラレル-シリアル変換して、上記出力端子より出力させる手段を設けたことを特徴とする半導体集積回路装置。

【請求項2】 請求項1に記載の半導体集積回路装置に於いて、

上記入力デジタル信号を記憶するためのレジスタ回路と、該レジスタ回路の記憶内容をシリアル出力させるクロック信号を外部より入力するための第1の外部端子と、上記D/A変換器の出力アナログ電圧と、上記レジスタ回路よりの出力デジタル信号との何れか一方を択一的に上記出力端子より出力させるための出力切替回路と、該出力切替回路の切替制御信号を外部より入力させるための第2の外部端子とを設けたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、複数ビットの入力デジタル信号を、その入力として受け、該入力デジタル信号に応じて、対応するレベルを有するアナログ電圧を出力するD/A変換器(DAC)を内蔵し、該D/A変換器の出力アナログ電圧を、その出力端子より出力させる構成とした半導体集積回路装置(例えば、多階調液晶ドライバIC等)に関するものであり、特に、その検査手法に関するものである。

【0002】

【従来の技術】 DACを内蔵する多階調液晶ドライバICは、全液晶駆動出力端子毎にDACを有しており、入力された多階調データである複数ビットのデジタル信号に応じて、それぞれの液晶駆動出力端子からアナログ電圧を出力する。このため、DACを内蔵する多階調液晶ドライバICの検査は、すべてのDACから出力されるアナログ電圧を測定し判定する。

【0003】 図2に従来技術の構成を示す。

【0004】 入力された階調データは内部回路1に蓄えられた後、デコーダ2を介してDACのバスライン3に与えられる。各階調データに応じて、基準電源4からの出力電圧を決定する階調電圧選択スイッチ5の一つを選択し、出力アンプ6'を介して各出力端子(1~N)6より、それぞれの階調電圧を出力する。従来の検査手法では、この出力されたアナログ階調電圧を、高精度な電圧測定器をもつ検査装置で電圧測定し、判定している。

【0005】 しかしながら、アナログ電圧測定による検査方法は、一つの電圧測定器を用いて、全液晶駆動出力

端子から出力される電圧を測定し判定するため、従来のデジタルテストのような、出力端子数分用意されたコンパレータを使用して、全出力を同時にデジタル判定する検査方法に比べて、検査時間は大幅に増加する。したがって、検査時間との兼ね合いにより、検査項目も制限されている。また、液晶駆動出力端子から出力される各階調電圧の電位差は非常に小さいため、それを測定し判定するための測定器は、高精度な測定器が要求され、非常に高価なものとなる。

【0006】

【発明が解決しようとする課題】 以上のように、従来の検査手法では、アナログ電圧を測定し判定するため、検査時間が大幅に増大するという問題点があった。また、各階調電圧を高精度に測定するため、非常に高価な検査装置が必要となるという問題点があった。

【0007】 本発明は、上記従来の事情に鑑みなされたものであり、検査時間の増大を招くことなく、且つ安価な検査装置で高精度な測定を可能とする、検査容易化回路を内蔵した半導体集積回路装置の提供を目的とするものである。

【0008】

【課題を解決するための手段】 請求項1に係る本発明の半導体集積回路装置は、複数ビットの入力デジタル信号を、その入力として受け、該入力デジタル信号に応じて、対応するレベルを有するアナログ電圧を出力するD/A変換器を内蔵し、該D/A変換器の出力アナログ電圧を、その出力端子より出力させる構成とした半導体集積回路装置に於いて、上記複数ビットの入力デジタル信号をパラレル-シリアル変換して、上記出力端子より出力させる手段を設けたことを特徴とするものである。

【0009】 また、請求項2に係る本発明の半導体集積回路装置は、上記請求項1に係る半導体集積回路装置に於いて、上記入力デジタル信号を記憶するためのレジスタ回路と、該レジスタ回路の記憶内容をシリアル出力させるクロック信号を外部より入力するための第1の外部端子と、上記D/A変換器の出力アナログ電圧と、上記レジスタ回路よりの出力デジタル信号との何れか一方を択一的に上記出力端子より出力させるための出力切替回路と、該出力切替回路の切替制御信号を外部より入力させるための第2の外部端子とを設けたことを特徴とするものである。

【0010】 すなわち、本発明の半導体集積回路装置は、D/A変換器の出力であるアナログ電圧に代えて、その入力信号である複数ビットのデジタル信号を、出力端子より出力させるための回路を、検査容易化回路として内蔵させたことを特徴とするものであり、かかる構成により、内部回路の動作試験を、従来のアナログ電圧判定から、デジタル信号判定に切り替えることが可能となり、大幅な検査時間の短縮化と、安価な検査装置に

よる検査を可能としたものである。

【0011】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して詳細に説明する。

【0012】図1は、本発明の一実施形態である、検査容易化回路内蔵多階調液晶ドライバICの要部構成図である。

【0013】入力された階調データは内部回路1に蓄えられた後、デコーダ2を介してDACのバスライン3に与えられる。各階調データに応じて、基準電源4からの出力電圧を決定する基準電源選択（階調電圧選択）スイッチ5の一つを選択し、出力アンプ6'を介して各出力端子（1～N）6より、それぞれの階調電圧を出力する。

【0014】入力される階調データは、内部回路を検査するため、様々な組み合わせで階調データが入力される。これらすべてのデータ組み合わせについて、アナログ電圧を測定し、判定していると、検査時間が大幅に増大する。このため、デコーダ2を介してDACバスライン3に与えられる各階調データをパラレル/シリアル変換器（パラレル入力・シリアル出力のレジスタ回路）8に取り込み、テストクロック端子（TCLK）9より外部入力されるテストクロックに同期させて、出力アンプ6'を介して出力端子6より、デコード後のデジタル階調データをシリアル出力させ、コンパレータによりデジタル判定する。このとき、各階調データに応じて、基準電源4からの出力電圧を選択する基準電源（階調電圧）選択スイッチ5が同時に選択されるが、テスト端子（TEST）7からLレベルのテスト信号を入力して、パラレル/シリアル変換器8側のテストモード切替スイッチ10を導通させ、DAC側のスイッチ10を非導通とすることにより、パラレル/シリアル変換器8よりのシリアル出力信号を出力アンプ6'に接続し、一方、選択された階調電圧の出力を遮断する。

【0015】なお、通常動作時に於いては、テストクロック端子9は不使用（例えば、GND固定）とし、テスト端子7には、Hレベルの電圧（電源電圧）を印加して、DAC側のスイッチ10を導通させ、パラレル/シリアル変換器8側のスイッチ10を非導通とさせる。

【0016】また、図1に示される各スイッチ（テストモード切替スイッチ、及び基準電源選択スイッチ）の構成例を図3に示す。

【0017】なお、上記パラレル/シリアル変換器8として、デコーダ2の出力をラッチするために、デコーダ部に通常搭載されているラッチ回路をシリアル接続することにより、兼用する構成とすることも可能である。

【0018】また、上記実施形態は、本発明を多階調液

晶ドライバICに於いて実施したものであるが、本発明は、これに限定されるものではなく、D/A変換器内蔵の他の半導体集積回路装置に於いても、同様に、有効に実施できるものであることは言うまでもない。

【0019】

【発明の効果】以上、詳細に説明したように、本発明の半導体集積回路装置は、複数ビットの入力デジタル信号を、その入力として受け、該入力デジタル信号に応じて、対応するレベルを有するアナログ電圧を選択出力するD/A変換器を内蔵し、該D/A変換器の出力アナログ電圧を、その出力端子より出力させる構成とした半導体集積回路装置に於いて、上記複数ビットの入力デジタル信号をパラレル-シリアル変換して、上記出力端子より出力させる手段を設けたことを特徴とするものであり、また、本発明の半導体集積回路装置は、上述の半導体集積回路装置に於いて、上記入力デジタル信号を記憶するためのレジスタ回路と、該レジスタ回路の記憶内容をシリアル出力させるクロック信号を外部より入力するための第1の外部端子と、上記D/A変換器の出力アナログ電圧と、上記レジスタ回路よりの出力デジタル信号との何れか一方を択一的に上記出力端子より出力させるための出力切替回路と、該出力切替回路の切替制御信号を外部より入力させるための第2の外部端子とを設けたことを特徴とするものであり、かかる本発明の半導体集積回路装置によれば、従来のアナログ電圧判定から、デジタル信号判定に切り替えることができるので、検査時間の大幅な短縮化を図ることができるとともに、安価な検査装置による検査が可能となるという効果を奏するものである。

【図面の簡単な説明】

【図1】本発明の一実施形態である多階調液晶ドライバICの要部構成図である。

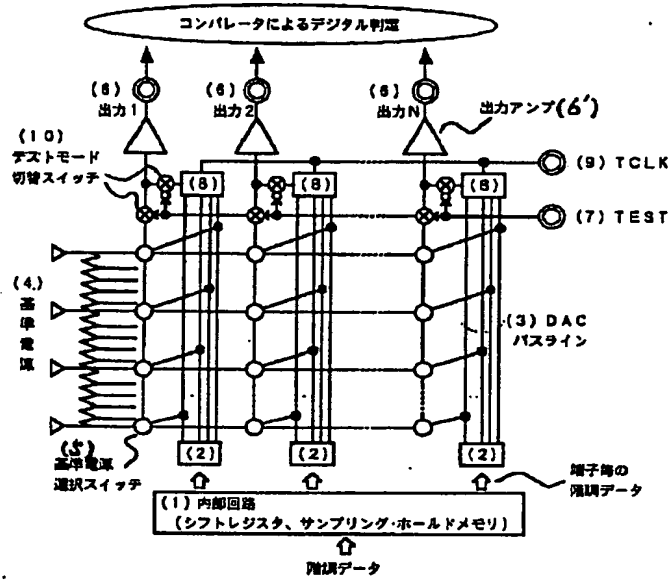
【図2】従来技術の構成図である。

【図3】図1に示される各スイッチの構成例を示す図である。

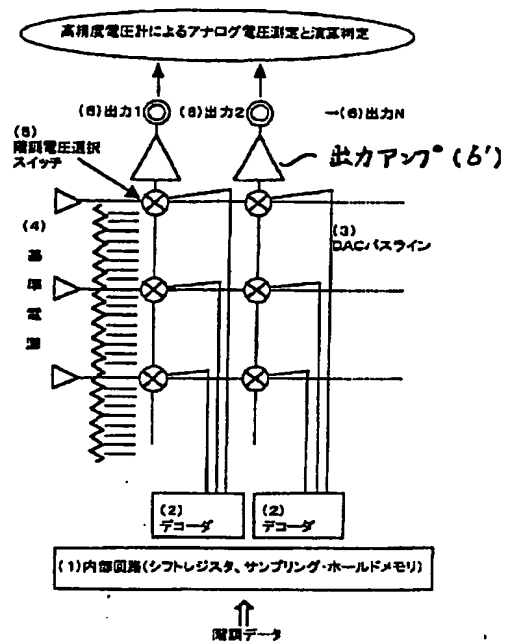
【符号の説明】

1	内部回路
2	デコーダ
3	DACバスライン
4	基準電源
5	基準電源選択スイッチ
6	出力端子
6'	出力アンプ
7	テスト端子
8	シリアル/パラレル変換器
9	テストクロック端子
10	テストモード切替スイッチ

【図1】



【図2】



【図3】

